

Patent Abstracts of Japan

PUBLICATION NUMBER : 10294461
PUBLICATION DATE : 04-11-98

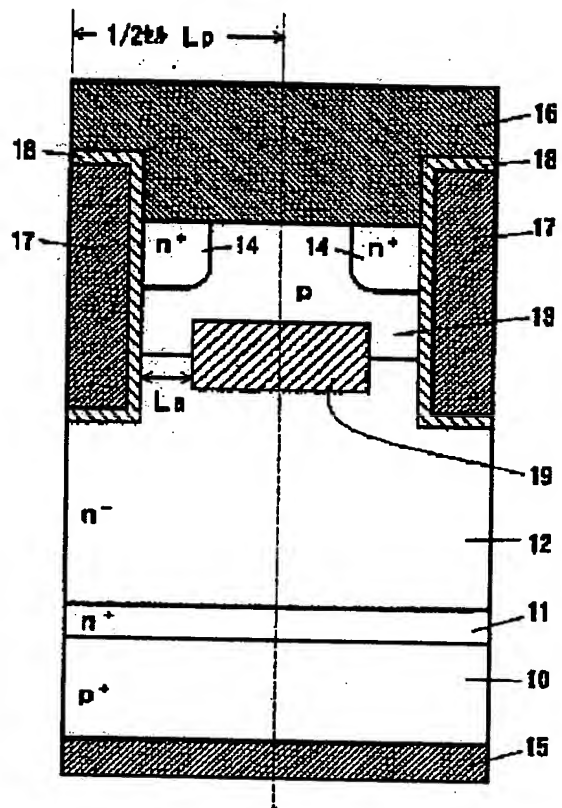
APPLICATION DATE : 21-04-97
APPLICATION NUMBER : 09118709

APPLICANT : TOYOTA CENTRAL RES & DEV LAB
INC;

INVENTOR : UESUGI TSUTOMU;

INT.CL. : H01L 29/78 H01L 29/74

TITLE : INSULATION GATE TYPE
SEMICONDUCTOR ELEMENT



ABSTRACT : PROBLEM TO BE SOLVED: To lower ON-state voltage in an insulation gate type semiconductor element.

SOLUTION: In an IGBT (insulated gate bipolar transistor) utilizing a conductance modulation effect, an n⁻ type base layer 12 and a p-type base layer 13 are formed. In a region other than this channel forming region, a flow channel of holes of minority carrier injected from a p⁺ type collector layer 10 is made narrower, and a buried oxide film 19 of an electrical insulation region where the minority carriers are accumulated is formed in the region of the n⁻ type base layer 12 of high resistance near an n⁻ type emitter layer 14. Thereby holes injected from the collector layer 10 are accumulated in the n⁻ type base layer 12. As a result, in the base layer of the region near the emitter layer 14, minority carrier concentration is improved, so that conductance modulation degree increases, and ON-state voltage decreases.

COPYRIGHT: (C)1998,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-294461

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.⁶H 0 1 L 29/78
29/74

識別記号

F I

H 0 1 L 29/78
29/74
29/786 5 5 A
N
6 5 2 H
6 5 3 A

審査請求 未請求 請求項の数1 F D (全 5 頁)

(21) 出願番号 特願平9-118709

(22) 出願日 平成9年(1997)4月21日

(71) 出願人 000003609

株式会社豊田中央研究所
愛知県愛知郡長久手町大字長湫字横道41番
地の1

(72) 発明者 村田 年生

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(72) 発明者 石子 雅康

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(72) 発明者 上杉 勉

愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

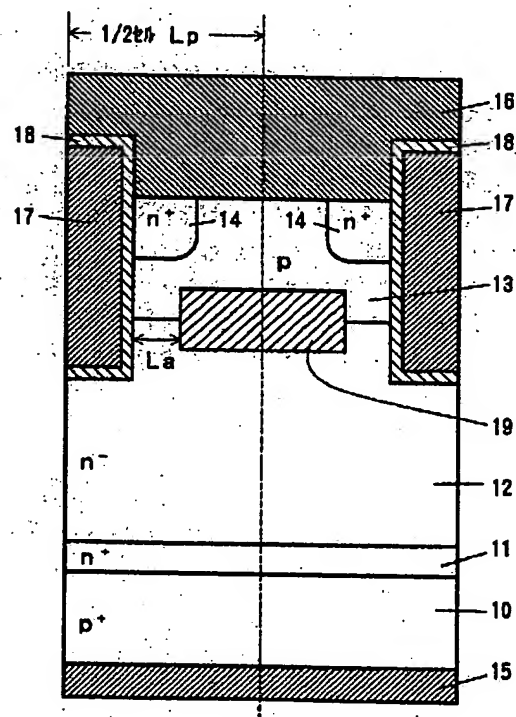
(74) 代理人 弁理士 藤谷 修

(54) 【発明の名称】 絶縁ゲート形半導体素子

(57) 【要約】

【課題】 絶縁ゲート形半導体素子におけるオン電圧の低下。

【解決手段】 伝導度変調効果を利用した I G B T において次の構成とした。n⁻形ベース層12、p形ベース層13において、チャネル形成領域以外の領域において、p⁺形コレクタ層10から注入された少数キャリアのホールの流路を狭くし、高抵抗であるn⁻形ベース層12におけるn⁺形エミッタ層14に近い領域に少数キャリアを蓄積させる電氣的絶縁領域の埋め込み酸化膜19を形成した。これにより、コレクタ層10から注入されたホールがn⁻形ベース層12に蓄積される。この結果、エミッタ層14に近い領域のベース層において、少数キャリア濃度が向上する結果、伝導度変調度が高くなり、オン電圧が低下する。



【特許請求の範囲】

【請求項1】 伝導度変調効果を利用した絶縁ゲート形半導体素子において、

前記素子中のベース領域のチャネル形成領域以外の領域において、コレクタから注入された少数キャリアの流路を狭くし、高抵抗ベース領域におけるエミッタに近い領域に前記少数キャリアを蓄積させる電氣的絶縁領域を形成したことを特徴とする絶縁ゲート形半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁ゲート形半導体素子のオン電圧の低下を可能とした素子構造に関する。

【0002】

【従来の技術】従来、伝導度変調によるトランジスタ素子として、MOSサイリスタ、ゲートターンオフサイリスタ(GTO)、絶縁ゲートバイポーラトランジスタ(IGBT)、伝導度変調FET(COM FET)等のバイポーラ形MOS FETが知られている。これらの素子は高耐圧で大電流を制御できることが特徴である。このような電力用半導体素子においては、電力損失の低減は非常に重要な課題である。GTO等のサイリスタはラッチアップさせて使用するためオン電圧を小さくすることが可能であるが最大遮断電流密度は小さい。これに対し、IGBTはラッチアップをさせない状態で使用するため、GTO等のサイリスタに比べて最大遮断電流密度を大きくとれるがオン電圧が高く電力損失が大きい。そこで、トレンチゲート形IGBT(T-IGBT)において、オン電圧を低下させる構造が提案されている(例えば特開平6-90002号公報)。しかし、この素子のオン電圧においても、GTO等のサイリスタのオン電圧に比較するとまだ大きく、高耐圧素子になるほどその傾向は大きい。

【0003】

【発明が解決しようとする課題】IGBTにおいて、オン電圧を低下させるためには伝導度変調度を向上させる必要がある。即ち、伝導度変調を高くするためには、高抵抗ベース領域における少数キャリアの蓄積を多くする必要がある。しかし、従来のIGBTでは、この少数キャリアが注入領域付近では高濃度であるものの、エミッタ領域に近づくにつれ低濃度になってしまう。このため、高抵抗ベース領域のエミッタ近傍では伝導度変調が十分行われず、高抵抗ベース領域の低抵抗化が不十分であるため、オン電圧が大きくなるという問題がある。

【0004】本発明は上記の課題を解決するために成されたものであり、その目的は、絶縁ゲート形半導体素子において、最大遮断電流密度が高く、且つ、高耐圧にして、オン電圧を低下させることである。

【0005】

【課題を解決するための手段】本発明の構成は、伝導度

変調効果を利用した絶縁ゲート形半導体素子において、素子中のベース領域のチャネル形成領域以外の領域において、コレクタから注入された少数キャリアの流路を狭くし、高抵抗ベース領域におけるエミッタに近い領域に少数キャリアを蓄積させる電氣的絶縁領域を形成したことを特徴とする。上記の構成において、電氣的絶縁領域の中に埋め込み電極を設けても良い。これらの構成をとる伝導度変調効果を利用した絶縁ゲート形半導体素子には、上述したように、MOSサイリスタ、ゲートターンオフサイリスタ(GTO)、絶縁ゲートバイポーラトランジスタ(IGBT)、伝導度変調FET(COM FET)等のバイポーラ形MOS FETを用いることができる。特に、ラッチアップさせずに使用する形の半導体素子、IGBT、COM FETに有効である。

【0006】

【発明の作用及び効果】電氣的絶縁領域がベース領域に形成されているため、コレクタから注入された少数キャリアが高抵抗ベース領域に蓄積される。この結果、エミッタに近い領域の高抵抗ベース領域において、少数キャリア濃度が向上する結果、伝導度変調度が高くなり、オン電圧が低下する。さらに、電氣的絶縁領域の内部に埋め込み電極を設け、ゲート電極と同符号の電圧を印加することで、電氣的絶縁領域の周囲に注入された少数キャリアに対して電位障壁が形成されるので、さらに、この付近での少数キャリア濃度を向上させることができる。

【0007】

【発明の実施の形態】以下、本発明を具体的な実施例に基づいて説明する。なお本発明は下記実施例に限定されるものではない。

第1実施例

図1は、本発明の具体的な一実施例にかかるT-IGBTの構成を示した断面図である。p⁺形コレクタ層10の上にn⁺形層11が形成され、そのn⁺形層11の上に高抵抗ベース領域を形成するn⁻形ベース層12が形成されている。n⁻形ベース層12の上にはp形ベース層13が形成され、そのp形ベース層13の一部にn⁺形エミッタ層14が形成されている。p⁺形コレクタ層10の下面にはコレクタ電極15が形成され、p形ベース層13とn⁺形エミッタ層14の上にエミッタ電極16が形成されている。p形ベース層13とn⁻形ベース層12とでベース領域が形成されている。さらに、このベース領域には縦方向にゲート電極17とその回りに形成されたゲート酸化膜18とが形成されている。又、p形ベース層13とn⁻形ベース層12の境界に電氣的絶縁領域を構成する埋め込み酸化膜19が形成されている。この埋め込み酸化膜19は、例えば固相エピタキシャル成長技術を利用したSOI構造等により実現できる。

【0008】本素子は耐圧600Vに設計されており、各層の厚さ濃度は次の通りである。n⁻形ベース層12の

厚さは $50\mu\text{m}$ 、濃度は $1.3 \times 10^{14}/\text{cm}^3$ 、p形ベース層13、及びn⁺形エミッタ層14の不純物表面濃度はそれぞれ $5 \times 10^{17}/\text{cm}^3$ 、 $5 \times 10^{19}/\text{cm}^3$ 、厚さは、それぞれ $2.5\mu\text{m}$ 、 $0.5\mu\text{m}$ である。ゲート電極17の深さ方向の長さとは幅はそれぞれ $3\mu\text{m}$ 、 $1\mu\text{m}$ である。ゲート酸化膜18の厚さは $0.1\mu\text{m}$ 、埋め込み酸化膜19の厚さは $0.3\mu\text{m}$ である。

【0009】次に、上記構成の素子の作動について述べる。コレクタ電極15にエミッタ電極16よりも高い電圧が印加された状態で、ゲート電極17とエミッタ電極16間に電圧が印加される。ゲート電圧がしきい値電圧を越えて十分に印加されるとp形ベース層13のゲート酸化膜18に沿った領域にnチャネルが形成され、n⁺形エミッタ層14からn⁻形ベース層12に電子が注入される。これにより、n⁻形ベース層12へp⁺形コレクタ層10から少数キャリアのホールが注入され、伝導度変調が生じる。この注入されたホールはn⁻形ベース層12を拡散してp形ベース層13へ流れる。

【0010】このホールの拡散経路には埋め込み酸化膜19が形成されており、埋め込み酸化膜19が障害となり、n⁻形ベース層12からp形ベース層13へのホールの流路が狭くなる。このため、p形ベース層13近傍のn⁻形ベース層12において、ホールの拡散抵抗が大きく増大するので、n⁻形ベース層12においてホールの蓄積が十分に行われる。ゲート電圧15Vのオン状態におけるホール濃度の深さ方向の分布を図6に示す。図6から明らかなように、埋め込み酸化膜19が設けられている場合には、埋め込み酸化膜19が存在しない従来構造に比べp形ベース層13近傍のn⁻形ベース層12においてホール濃度が大きく増加していることがわかる。この結果、伝導度変調が十分に行われ、従来構造よりも素子のオン電圧が低下される。例えば、コレクタ電流密度 $200\text{ A}/\text{cm}^2$ におけるオン電圧は従来構造で約1.4Vであるのに対し、本実施例では約1.2Vとオン電圧が約15%低下できた。

【0011】上記構成の素子において、十分なオン電圧低下効果を得るための埋め込み酸化膜19の長さは、その端部とゲート酸化膜18との間の距離 L_a （ホールの流路の幅）が、 $L_a/L_p < 0.25$ となるように形成されるのが望ましい。但し、 L_p は、セルサイズの $1/2$ である。

【0012】第2実施例

本発明の第2実施例にかかる素子の断面構造を図2に示す。第1実施例の素子と異なる点は、埋め込み酸化膜190が分離されて、ホールの流路が3箇所以上形成されていることである。この場合にもホールの総合した流路幅 $W (=W_1+W_2+W_3+W_4+W_5)$ が、 $W/2L_p < 0.25$ を満たすことが望ましい。このように構成しても、図6のように、n⁻形ベース層12のp形ベース層13の近傍におけるホールの蓄積密度が向上し、素子の

オン電圧の低下が見られた。

【0013】第3実施例

本発明の第3実施例にかかる素子の断面構造を図3に示す。第1、第2実施例と異なる点は、埋め込み酸化膜191がp形ベース層13とn⁻形ベース層12との境界ではなくn⁻形ベース層12内に設けられていることである。この構造でも第1、第2実施例と同様にオン電圧の低下が見られた。尚、図3における埋め込み酸化膜191は、p形ベース層13内に設けられても良い。この場合にも、n⁻形ベース層12におけるホール濃度を向上させることができる。

【0014】第4実施例

本発明の第4実施例にかかる素子の断面構造を図4に示す。本実施例は、本発明をプレーナ型IGBTに適用した例である。この例でも埋め込み酸化膜192をp形ベース層13とn⁻形ベース層12との界面に形成することにより第1実施例と同様の効果がある。尚、本実施例において、第1実施例と同一機能を有する層、部分には同一番号が付されている。即ち、エミッタ電極16、n⁺形エミッタ層14、p形ベース層13、n⁻形ベース層12、ゲート電極17とで、この素子をオンオフさせるためのMOSFETが構成され、p⁺形コレクタ層10、n⁻形ベース層12、p形ベース層13、エミッタ電極16とで、大電流を流すためのトランジスタが構成される。この時、n⁺形エミッタ層14、p形ベース層13、n⁻形ベース層12で構成されるトランジスタはオンしない。

【0015】第5実施例

本発明の第5実施例にかかる素子の断面構造を図5に示す。本実施例では、埋め込み酸化膜193内に埋め込み電極20が形成されている。この埋め込み電極20をゲート電極17と同一符号の電位にすることで、埋め込み酸化膜193の周囲にホールに対する電位障壁が形成される。この結果、p形ベース層13へ流れる流路の幅が、埋め込み電極20に電圧を印加しない場合に比べて狭くなり、n⁻形ベース層12のp形ベース層13に接合する部分のホール濃度がさらに向上する。よって、伝導度変調がより十分に行われることになり、素子のオン電圧がより低下する。

【0016】上記の例ではn型チャネル素子について説明を行ってきたが、p型チャネル素子についても同様の効果がある。上記の例ではIGBTの場合について述べたが、本発明はその限りではなく、少数キャリアの注入による伝導度変調を利用した絶縁ゲート型半導体素子に適用可能であり、同様の効果がある。

【図面の簡単な説明】

【図1】本発明の具体的な第1実施例にかかる半導体素子の断面図。

【図2】第2実施例にかかる半導体素子の断面図。

【図3】第3実施例にかかる半導体素子の断面図。

【図4】第4実施例にかかる半導体素子の断面図。

【図5】第5実施例にかかる半導体素子の断面図。

【図6】ホール濃度の深さ方向の分布を示した測定図。

【符号の説明】

10...p⁺形コレクタ層

11...n⁺形層

12...n⁻形ベース層

13...p形ベース層

14...n⁺形エミッタ層

15...コレクタ電極

16...エミッタ電極

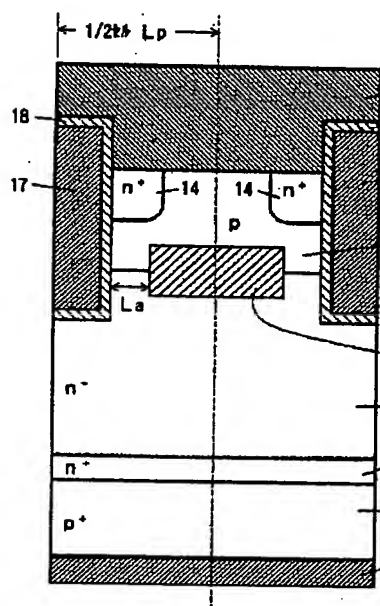
17...ゲート電極

18...ゲート酸化膜

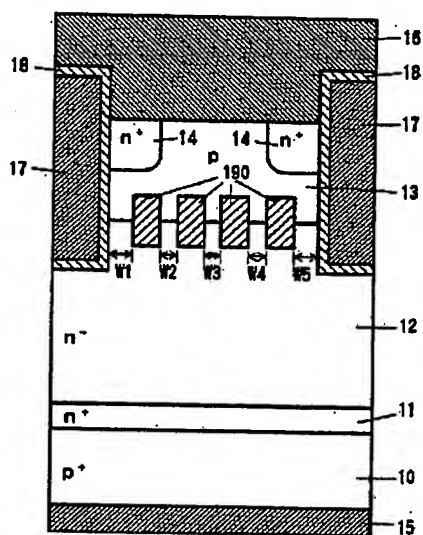
19, 190, 191, 192, 193...埋め込み酸化膜

20...埋め込み電極

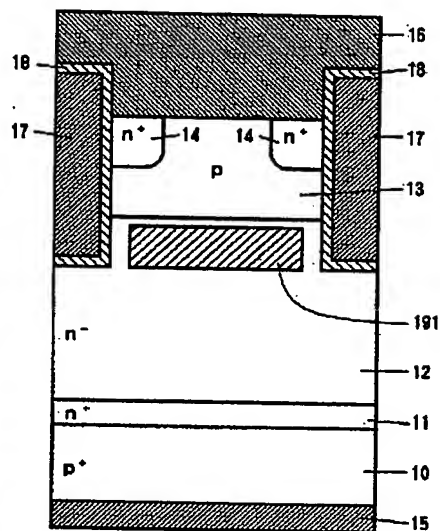
【図1】



【図2】

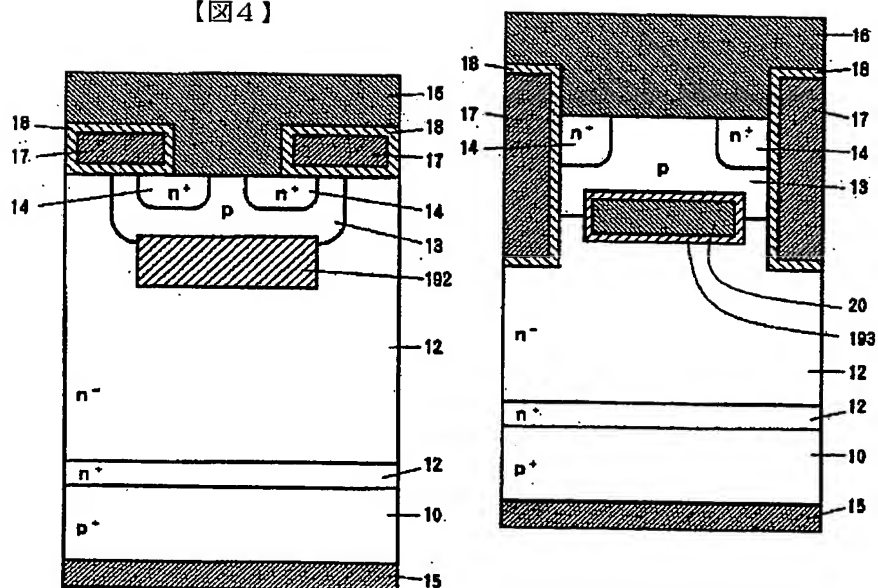


【図3】

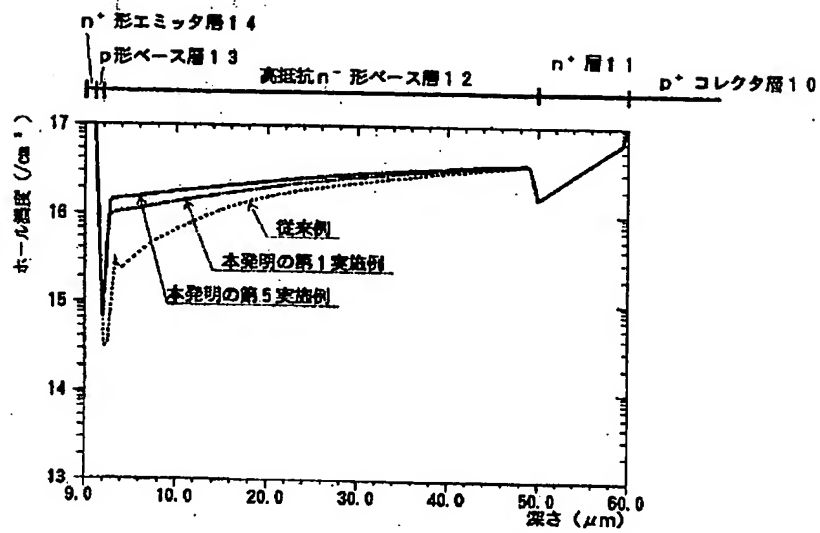


【図5】

【図4】



【図6】



THIS PAGE BLANK (USPTO)